

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroshi MAEDA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: FLIP CHIP MOUNTING METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:  
**Application No.** \_\_\_\_\_ **Date Filed** \_\_\_\_\_
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

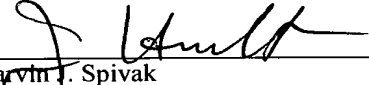
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-144390	May 22, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_  
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
\_\_\_\_\_  
Marvin J. Spivak  
Registration No. 24,913  
James D. Hamilton  
Registration No. 28,421

Customer Number

**22850**

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 5月22日

出願番号

Application Number:

特願2003-144390

[ ST.10/C ]:

[ JP2003-144390 ]

出願人

Applicant(s):

株式会社ルネサステクノロジ

2003年 6月12日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎

出証番号 出証特2003-3046088

【書類名】 特許願

【整理番号】 542716JP01

【提出日】 平成15年 5月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/60

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ  
ステクノロジ内

【氏名】 前田 容志

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1  
【物件名】 要約書 1  
【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 フリップチップ実装方法

【特許請求の範囲】

【請求項 1】 (a) 絶縁膜で覆われているパッド部を有するチップを用意する工程と、

(b) 前記パッド部上の前記絶縁膜を選択的に除去することにより、前記パッド部を露出させる工程と、

(c) 前記工程 (b) の後に、前記パッド部が露出するような第一の開口部を有するポリイミド膜を、前記絶縁膜上に形成する工程と、

(d) 前記第一の開口部を充填して、前記パッド部上に半田バンプを形成する工程と、

(e) アセンブル基板と前記チップとの間にアンダーフィル樹脂を充填し、当該アセンブル基板と当該チップとを前記半田バンプを介して接続する工程とを、備えていることを特徴とするフリップチップ実装方法。

【請求項 2】 前記工程 (a) は、

前記絶縁膜に覆われているヒューズ部を、さらに備えるチップを用意する工程であり、

前記工程 (b) は、

前記ヒューズ部上方の前記絶縁膜を選択的に除去する工程を、さらに含んでおり、

前記工程 (c) は、

前記工程 (b) の後に、前記ヒューズ部の上方に形成される第二の開口部をさらに有するポリイミド膜を、前記絶縁膜上に形成する工程である、ことを特徴とする請求項 1 に記載のフリップチップ実装方法。

【請求項 3】 前記絶縁膜は、酸化膜と窒化膜とが当該順に積層されたパッシベーション膜であり、

前記工程 (b) は、

(b-1) 前記パッド部上方の窒化膜を選択的に除去すると共に、前記ヒューズ部上方の窒化膜を選択的に除去する工程と、

(b-2) 前記工程 (b-1) の後に、前記パッド部上の前記酸化膜を選択的に除去することにより、当該パッド部を露出させる工程とを、備えている、ことを特徴とする請求項 2 に記載のフリップチップ実装方法。

【請求項 4】 前記絶縁膜は、酸化膜と窒化膜とが当該順に積層されたパッシベーション膜であり、

前記工程 (b) は、

前記パッド部上方の窒化膜および酸化膜を選択的に除去することにより、当該パッド部を露出させる工程であり、

(f) 前記工程 (c) の後に、前記ポリイミド膜をマスクとして、前記ヒューズ部上方の前記窒化膜を選択的に除去する工程を、さらに備えている、ことを特徴とする請求項 2 に記載のフリップチップ実装方法。

【請求項 5】 前記絶縁膜は、酸化膜と窒化膜とが当該順に積層されたものパッシベーション膜であり、

前記工程 (b) は、

(b-3) 前記パッド部上の前記窒化膜および前記酸化膜を選択的に除去することにより、当該パッド部を露出させる工程と、

(b-4) 前記露出している前記パッド部を覆うようなマスクを用いて、前記ヒューズ部上方の前記窒化膜を選択的に除去する工程とを、備えている、ことを特徴とする請求項 2 に記載のフリップチップ実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、フリップチップ実装方法に係る発明であって、特に、実装前のチップ側の製造方法に関するものである。

【0002】

【従来の技術】

半導体チップとアセンブル基板とを半田バンプを介して接続するフリップチップ実装方法の場合には、上記接続後の熱変化や衝撃により半田バンプに応力が集中し、半田バンプが剥がれるという問題が生じていた。

【 0 0 0 3 】

そこで、半田バンプにおける応力集中を緩和させることと、半導体チップとアセンブル基板との密着性を向上させるために、半導体チップとアセンブル基板との間にアンダーフィル樹脂を充填させる方法が採用されていた（例えば、特許文献 1 参照）。

【 0 0 0 4 】

ここで、フリップチップ実装するに際して、半導体チップ側において、半田バンプを形成するために、パッシベーション膜で覆われているパッド部を当該パッシベーション膜から露出させる必要がある。

【 0 0 0 5 】

【特許文献 1】

特開 2 0 0 2 - 2 0 3 8 6 6 号公報（第 1 図）

【 0 0 0 6 】

【発明が解決しようとする課題】

パッド部を露出させる方法として、パッド部の上方に開口部を有するポリイミド膜をパッシベーション膜上に形成し、当該開口部を有するポリイミド膜をマスクとしてエッチング処理を施し、パッシベーション膜にパッド部に至る開口部を形成し、当該開口部の底部からパッド部を露出させる方法が取られていた。

【 0 0 0 7 】

しかし、この方法では、パッシベーション膜に対するエッチング処理を行った際に発生する反応生成物がポリイミド膜表面上に付着してしまい、当該ポリイミド膜表面上に硬化層が形成されてしまう。

【 0 0 0 8 】

そうすると、ポリイミド膜表面上に硬化層が形成された状態で、半導体チップとアセンブル基板とをアンダーフィル樹脂を用いたフリップチップ実装により接続させた場合には、アンダーフィル樹脂と硬化層との密着性が悪いため、デバイス動作中にアセンブル基板と半導体チップとが剥がれるという問題が発生していた。

【 0 0 0 9 】

当該アセンブル基板と半導体チップとの密着性の悪さは、半導体チップの面積が小さいときには問題とはならなかったが、今日の半導体チップ面積の拡大に伴い問題視されてきている。これは、上記密着性の悪さによる剥がれの発生頻度が無視できないほどに、当該面積の拡大に応じて応力が増大してきたためだと考えられる。

#### 【 0 0 1 0 】

そこで、この発明は、アンダーフィル樹脂を用いたフリップチップ方式により、半導体チップとアセンブル基板とを接続したとしても、容易に両者が剥がれることの無いフリップチップ実装方法を提供することを目的とする。

#### 【 0 0 1 1 】

##### 【課題を解決するための手段】

上記の目的を達成するために、本発明に係る請求項 1 に記載のフリップチップ実装方法は、（a）絶縁膜で覆われているパッド部を有するチップを用意する工程と、（b）前記パッド部上の前記絶縁膜を選択的に除去することにより、前記パッド部を露出させる工程と、（c）前記工程（b）の後に、前記パッド部が露出するような第一の開口部を有するポリイミド膜を、前記絶縁膜上に形成する工程と、（d）前記第一の開口部を充填して、前記パッド部に半田バンプを形成する工程と、（e）アセンブル基板と前記チップとの間にアンダーフィル樹脂を充填し、当該アセンブル基板と当該チップとを前記半田バンプを介して接続する工程とを、備えている。

#### 【 0 0 1 2 】

##### 【発明の実施の形態】

本発明は、パッド部の上面を覆っているパッシベーション膜を除去するに際し、ポリイミド膜をマスクとして当該パッシベーション膜を除去するのではなく、レジスト等をマスクとして当該パッシベーション膜を除去し、その後、ポリイミド膜を形成し、パッド部に半田バンプを形成し、アンダーフィル樹脂を用いたフリップチップ方式を採用することにより、半導体チップとアセンブル基板とを接続する方法に特徴を有する。

#### 【 0 0 1 3 】



以下、この発明をその実施の形態を示す図面に基づいて具体的に説明する。

【 0 0 1 4 】

<実施の形態 1>

本実施の形態 1 は、パッシベーション膜が単層である場合のものである。本実施の形態に係るフリップチップ実装方法を、工程断面図に基づいて具体的に説明する。

【 0 0 1 5 】

まず、単体またはウエハ状態の半導体チップの表面の一部を示す図 1 に示すように、層間絶縁膜 1 の表面内に銅配線 2 を配設し、層間絶縁膜 1 と銅配線 2 とを覆うように絶縁膜 3 を形成する。次に、銅配線 2 の上部を覆っている絶縁膜 3 を除去することにより、絶縁膜 3 の表面内に凹部 4 を形成し、当該凹部 4 の底部から銅配線 2 を露出させる。

【 0 0 1 6 】

次に、図 2 に示すように、凹部 4 の底面、側面およびその周辺部の絶縁膜 3 の上面を覆うように、アルミニウム等のパッド部 5 を形成し、さらにパッド部 5 と離隔して当該絶縁膜 3 の表面上に、アルミニウム等のヒューズ部 6 を形成する。その後、絶縁膜 3、パッド部 5 およびヒューズ部 6 を覆うように、CVD 法等により、パッシベーション膜（絶縁膜と把握することができる）7 を形成する。ここで、形成されるパッシベーション膜 7 は、例えばシリコン酸化膜等であり、その膜厚は、ヒューズ部 6 のヒューズブローが可能な程度の厚さである。

【 0 0 1 7 】

次に、図 3 に示すように、パッシベーション膜 7 を覆うようにレジスト 8 を塗布し、露光・現像処理を施すことにより、パッド部 5 の上方部の当該レジスト 8 の表面内に開口部 9 を形成する。ここで、開口部 9 の底部からはパッシベーション膜 7 が露出している。

【 0 0 1 8 】

次に、上記レジスト 8 をマスクとして、異方性のエッチング処理を施すことにより、パッシベーション膜 7 を選択的に除去し開口部 10 を形成する。その後、レジスト 8 を除去した様子を図 4 に示す。図 4 から分かるように、当該工程によ

り、開口部 1 0 の底部からパッド部 5 が露出される。

【 0 0 1 9 】

次に、パッド部 5 およびパッシベーション膜 7 を覆うように感光性のポリイミド膜 1 1 を塗布し、パッド部 5 上方およびヒューズ部 6 上方を開口したマスク（図示せず）を用いて、露光・現像を施すことにより、当該ポリイミド膜 1 1 の表面内に開口部 1 2， 1 3 を形成する。その後マスクを除去し、ポリイミド膜 1 1 に対してキュアリング処理を施した後の様子を図 5 に示す。図 5 から分かるように、パッド部 5 の上面には、パッシベーション膜 7 もポリイミド膜 1 1 も無く（開口部 1 2）、ヒューズ部 6 の上面には、パッシベーション膜 7 だけが形成されている（開口部 1 3）。

【 0 0 2 0 】

次に、例えば、従来から採用されているメッキ法により、開口部 1 2 を充填するようにパッド部 5 上に半田バンプ 1 4 を形成する。半田バンプ 1 4 が形成された様子を図 6 に示す。また図 7 に、当該半田バンプ 1 4 が形成された半導体チップ 1 5 の概略を全体図として示す。

【 0 0 2 1 】

次に、半導体チップ 1 5 を、半田バンプ 1 4 が形成されている面がアセンブル基板 1 6 の実装面に対面するように配置させ、アセンブル基板 1 6 の実装面に半導体チップ 1 5 をフリップチップ方式により接続する。当該接続の様子を図 8 に示す。

【 0 0 2 2 】

最後に、図 9 に示すように、半導体チップ 1 5 とアセンブル基板 1 6 との間にアンダーフィル樹脂 1 7 を流し込む（充填する）。

【 0 0 2 3 】

アンダーフィル樹脂 1 7 は、接着剤としての機能を有するとともに応力緩和材としての機能を有している。したがって、半田バンプ 1 4 を介して接続されている半導体チップ 1 5 とアセンブル基板 1 6 との接続力を向上させると共に、デバイス動作中に発生する半田バンプ 1 4 への応力集中を緩和することができる。

【 0 0 2 4 】

ここで、当該アンダーフィル樹脂 1 7 を充填する方法として、例えば、図 8 に示す実装状態において、両部材の脇からアンダーフィル樹脂 1 7 を注入する方法や、予めアセンブル基板 1 6 の実装面にアンダーフィル樹脂 1 7 を塗布しておく方法等がある。

## 【 0 0 2 5 】

以上のように本実施の形態に係る実装方法では、ポリイミド膜 1 1 を形成する前に、パッド部 5 上のパッシベーション膜 7 が除去されているので、パッシベーション膜の除去処理の際に発生する反応生成物がポリイミド膜 1 1 表面上に付着することが無い。

## 【 0 0 2 6 】

したがって、従来の技術で説明したように、反応生成物によるアンダーフィル樹脂 1 7 との密着性の減退を防止することができ、半導体チップ 1 5 とアセンブル基板 1 6 との接続力を向上させることができる。

## 【 0 0 2 7 】

なお、上記では、パッシベーション膜 7 の厚さを、ヒューズ部 6 のヒューズブローが可能な程度の厚さで形成するとしたが、それ以上の厚さでも良い。

## 【 0 0 2 8 】

この場合には、図 4 で示した工程の後に、図 1 0 に示すように、ヒューズ部 6 の上方に開口部 2 0 を有するレジスト 2 1 を設け、当該レジスト 2 1 をマスクとして、パッシベーション膜 7 をヒューズ部 6 のヒューズブローが可能な程度の厚さまでエッチングした後に、図 5 に示した工程を施すことになる。

## 【 0 0 2 9 】

上記のように、パッシベーション膜 7 をヒューズ部 6 のヒューズブローが可能な程度の厚さまでエッチングするという工程を含んでいるのであれば、パッド部 5 とヒューズ部 6 とが同層に存する必要も無く、図 1 1 に示すように、パッド部 5 が形成されている層よりも下層にヒューズ部 6 を配設してもかまわない。

## 【 0 0 3 0 】

また、上記では、絶縁膜 3 が単層の場合について述べたが、シリコン窒化膜、シリコン酸化膜の順で積層される 2 層構造の膜であっても良い。窒化膜は、当該

窒化膜より下層の防湿効果のために設けられる。

【 0 0 3 1 】

＜実施の形態 2＞

本実施の形態 2 は、パッシベーション膜が 2 層（窒化膜／酸化膜からなる積層膜）である場合のものである。本実施の形態に係るフリップチップ実装方法を、工程断面図に基づいて具体的に説明する。ここで、図 2 までの工程は実施の形態 1 と同様なので、ここでの説明は省略する。なお、本実施の形態では、一層目のパッシベーション膜をシリコン酸化膜 7 a とする。

【 0 0 3 2 】

次に、図 1 2 に示すように、酸化膜 7 a を覆うように C V D 法等により、2 層目のパッシベーション膜となるシリコン窒化膜 7 b を形成する。ここで、窒化膜 7 b は銅配線 2 等の防湿効果を有する。

【 0 0 3 3 】

次に、図 1 3 に示すように、窒化膜 7 b を覆うようにレジスト 2 2 を塗布し、露光・現像処理を施すことにより、パッド部 5 の上方部およびヒューズ部 6 の上方部の当該レジスト 2 2 の表面内に開口部 2 3, 2 4 を形成する。ここで、開口部 2 3 は、パッド部 5 の上方に形成される開口部であり、開口部 2 4 は、ヒューズ部 6 の上方に形成される開口部である。また、開口部 2 3, 2 4 の底部からは窒化膜 7 b が露出している。

【 0 0 3 4 】

次に、上記レジスト 2 2 をマスクとして、異方性のエッチング処理を施すことにより、窒化膜 7 b を選択的に除去する。その後、レジスト 2 2 を除去した様子を図 1 4 に示す。図 1 4 から分かるように、パッド部 5 の上方の窒化膜 7 b とヒューズ部 6 の上方の窒化膜 7 b とが除去されている。

【 0 0 3 5 】

次に、図 1 5 に示すように、窒化膜 7 b と酸化膜 7 a を覆うようにレジスト 2 5 を塗布し、露光・現像処理を施すことにより、パッド部 5 の上方部の当該レジスト 2 5 の表面内に開口部 2 6 を形成する。ここで、開口部 2 6 の底部からは酸化膜 7 a が露出している。

## 【 0 0 3 6 】

次に、上記レジスト 2 5 をマスクとして、異方性のエッチング処理を施すことにより、酸化膜 7 a を選択的に除去し開口部 2 7 を形成する。その後、レジスト 2 5 を除去した様子を図 1 6 に示す。図 1 6 から分かるように、当該工程により、開口部 2 7 の底部からパッド部 5 が露出される。

## 【 0 0 3 7 】

次に、パッド部 5 およびパッシベーション膜 7 a, 7 b を覆うように感光性のポリイミド膜 1 1 を塗布し、パッド部 5 上方およびヒューズ部 6 上方を開口したマスク（図示せず）を用いて、露光・現像を施すことにより、当該ポリイミド膜 1 1 に開口部 1 2, 1 3 を形成する。その後、マスクを除去し、ポリイミド膜 1 1 に対してキュアリング処理を施した後の様子を図 1 7 に示す。図 1 7 から分かるように、パッド部 5 の上面には、パッシベーション膜 7 a, 7 b もポリイミド膜 1 1 も無く（開口部 1 2）、ヒューズ部 6 の上面には、酸化膜 7 a だけが形成されている（開口部 1 3）。

## 【 0 0 3 8 】

その後の半田バンプ 1 4 の形成、半導体チップ 1 5 とアセンブル基板 1 6 とのフリップチップ接続等は実施の形態 1 と同様なので、ここでの説明は省略する。

## 【 0 0 3 9 】

以上のように、本実施の形態に係る製造方法においても、ポリイミド膜 1 1 を形成する前に、パッシベーション膜 7 a, 7 b の除去処理が行われているので、実施の形態 1 で説明した効果と同様の効果を有することができる。

## 【 0 0 4 0 】

## ＜実施の形態 3＞

本実施の形態 3 においても、パッシベーション膜が 2 層（窒化膜／酸化膜からなる積層膜）である場合のものであるが、実施の形態 2 と異なる手順で当該パッシベーション膜を除去している。本実施の形態に係るフリップチップ実装方法を、工程断面図に基づいて具体的に説明する。

## 【 0 0 4 1 】

まず、実施の形態 1 の図 2 で示した構造の半導体チップを形成し、その後、実

施の形態 2 の図 1 2 を用いて説明したように、酸化膜 7 a 上に窒化膜 7 b を形成する。

#### 【 0 0 4 2 】

次に、図 1 8 に示すように、窒化膜 7 b を覆うようにレジスト 3 1 を塗布し、露光・現像処理を施すことにより、パッド部 5 の上方部のレジスト 3 1 の表面内に開口部 3 2 を形成する。ここで、開口部 3 2 の底部からは窒化膜 7 b が露出している。

#### 【 0 0 4 3 】

次に、上記レジスト 3 1 をマスクとして、異方性のエッチング処理を施すことにより、窒化膜 7 b および酸化膜 7 a を選択的に除去することにより、開口部 3 3 を形成する。その後、レジスト 3 1 を除去した様子を図 1 9 に示す。図 1 9 から分かるように、開口部 3 3 の底部からはパッド部 5 が露出している。

#### 【 0 0 4 4 】

次に、パッド部 5 およびパッシベーション膜 7 a , 7 b を覆うように感光性のポリイミド膜 1 1 を塗布し、パッド部 5 上方およびヒューズ部 6 上方を開口したマスク（図示せず）を用いて、露光・現像を施すことにより、当該ポリイミド膜 1 1 に開口部 3 4 , 3 5 を形成する。その後マスクを除去し、ポリイミド膜 1 1 に対してキュアリング処理を施した後の様子を図 2 0 に示す。図 2 0 から分かるように、パッド部 5 の上面には、パッシベーション膜 7 a , 7 b もポリイミド膜 1 1 も無く（開口部 3 4 ）、ヒューズ部 6 の上面には、パッシベーション膜 7 a , 7 b が形成されている（開口部 3 5 ）。

#### 【 0 0 4 5 】

次に、上記ポリイミド膜 1 1 をマスクとして、異方性のエッチング処理を施すことにより、窒化膜 7 b を選択的に除去することにより、図 2 2 に示すように開口部 3 6 を形成する。図 2 1 から分かるように、開口部 3 6 の底部からは酸化膜 7 a が露出している。

#### 【 0 0 4 6 】

その後の半田バンプ 1 4 の形成、半導体チップ 1 5 とアセンブル基板 1 6 とのフリップチップ接続等は実施の形態 1 と同様なので、ここでの説明は省略する。

## 【 0 0 4 7 】

以上のように、本実施の形態に係る実装方法においては、ポリイミド膜 1 1 をマスクとしてヒューズ部 6 上の窒化膜 7 b を除去することにより、当該窒化膜 7 b の反応生成物がポリイミド膜 1 1 の表面上に付着する。

## 【 0 0 4 8 】

しかし、窒化膜の反応生成物は、酸化膜の反応生成物ほどアンダーフィル樹脂 1 7 との密着性は悪くないので、本実施の形態においても（他の実施の形態に係る実装方法ほどではないが）、半導体チップ 1 5 とアセンブル基板 1 6 との接続力を向上させることが可能となる。

## 【 0 0 4 9 】

また、本実施の形態に係る製造方法を採用することにより（つまり、ポリイミド膜 1 1 をマスクとして窒化膜を除去することにより）、実施の形態 2, 4 と比較して、一のレジストの省略が可能であるので、製造方法が簡略となり、製造費用の削減を図ることができる。

## 【 0 0 5 0 】

## &lt; 実施の形態 4 &gt;

本実施の形態 4 においても、パッシベーション膜が 2 層（窒化膜／酸化膜からなる積層膜）である場合のものであるが、実施の形態 1, 2 と異なる手順で当該パッシベーション膜を除去している。本実施の形態に係るフリップチップ実装方法を、工程断面図に基づいて具体的に説明する。

## 【 0 0 5 1 】

まず、実施の形態 1 の図 2 で示した構造の半導体チップを形成し、次に、実施の形態 2 の図 1 2 を用いて説明したように、酸化膜 7 a 上に窒化膜 7 b を形成する。その後、実施の形態 2 の図 1 8, 1 9 を用いて説明したように、パッド部 5 上のパッシベーション膜 7 a, 7 b を除去する。

## 【 0 0 5 2 】

次に、図 2 2 に示すように、パッド部 5 およびパッシベーション膜 7 a, 7 b を覆うようにレジスト 4 1 を塗布し、露光・現像処理を施すことにより、ヒューズ部 6 の上方部のレジスト 4 1 の表面内に開口部 4 2 を形成する。ここで、開口

部 4 2 の底部からは窒化膜 7 b が露出している。

【 0 0 5 3 】

次に、上記レジスト 4 1 をマスクとして、異方性のエッチング処理を施すことにより、窒化膜 7 b を選択的に除去することにより、図 2 3 に示すように開口部 4 3 を形成する。図 2 3 から分かるように、開口部 4 3 の底部からは酸化膜 7 a が露出している。

【 0 0 5 4 】

次に、レジスト 4 1 を除去した後、パッド部 5 およびパッシベーション膜 7 a , 7 b を覆うように感光性のポリイミド膜 1 1 を塗布し、パッド部 5 上方およびヒューズ部 6 上方を開口したマスク（図示せず）を用いて、露光・現像を施すことにより、当該ポリイミド膜 1 1 に開口部 1 2 , 1 3 を形成する。その後、マスクを除去し、ポリイミド膜 1 1 に対してキュアリング処理を施した後の様子を図 2 4 に示す。図 2 4 から分かるように、パッド部 5 の上面には、パッシベーション膜 7 a , 7 b もポリイミド膜 1 1 も無く（開口部 1 2 ）、ヒューズ部 6 の上面には、酸化膜 7 a だけが形成されている（開口部 1 3 ）。

【 0 0 5 5 】

その後の半田バンプ 1 4 の形成、半導体チップ 1 5 とアセンブル基板 1 6 とのフリップチップ接続等は実施の形態 1 と同様なので、ここでの説明は省略する。

【 0 0 5 6 】

以上のように、本実施の形態に係る実装方法においても、ポリイミド膜 1 1 を形成する前に、パッシベーション膜 7 a , 7 b の除去処理が行われているので、実施の形態 1 で説明した効果と同様の効果を有することができる。

【 0 0 5 7 】

なお、上記各実施の形態では、パッド部 5 とヒューズ部 6 とがパッシベーション膜 7 （絶縁膜の一種）で覆われている構造に、本発明に係る実装方法を適用する場合について言及した。

【 0 0 5 8 】

しかし、パッシベーション膜と呼ばれず単に絶縁膜と呼ばれる膜で、パッド部 5 とヒューズ部 6 とが覆われている構造に対しても、本発明を適用することがで



きる。すなわち、フリップチップ実装方法において、ポリイミド膜 1 1 を形成する前に、絶縁膜の所定の部分を除去するという順序で、製造工程を実行すればよい。

#### 【 0 0 5 9 】

ここで、広義の絶縁膜は、絶縁膜の一種であるパッシベーション膜と呼ばれる膜と、狭義の絶縁膜（つまり、パッシベーション膜と呼ばれず単に絶縁膜と呼ばれる膜）とを含んでいる。

#### 【 0 0 6 0 】

また、上記各実施の形態では、ヒューズ部 6 を備える半導体チップを対象として話を進めたが、ポリイミド膜 1 1 を形成する前に、パッド部 5 上方のパッシベーション膜（絶縁膜） 7 を除去するという本発明の特徴を考慮すると、特にヒューズ部 6 を有する必要はない。

#### 【 0 0 6 1 】

しかし、ヒューズ部 6 を有する半導体チップ 1 5 に対して、本発明の実装方法を適用することにより、冗長性を有するデバイスに対して、ヒューズブローをし難くすることなく、半導体チップ 1 5 とアセンブル基板 1 6 との密着性を向上させることができる。

#### 【 0 0 6 2 】

##### 【発明の効果】

本発明の請求項 1 に記載のフリップチップ実装方法は、（a）絶縁膜で覆われているパッド部を有するチップを用意する工程と、（b）前記パッド部上の前記絶縁膜を選択的に除去することにより、前記パッド部を露出させる工程と、（c）前記工程（b）の後に、前記パッド部が露出するような第一の開口部を有するポリイミド膜を、前記絶縁膜上に形成する工程と、（d）前記第一の開口部を充填して、前記パッド部上に半田バンプを形成する工程と、（e）アセンブル基板と前記チップとの間にアンダーフィル樹脂を充填し、当該アセンブル基板と当該チップとを前記半田バンプを介して接続する工程とを、備えているので、絶縁膜を除去する際に、ポリイミド膜の表面上に当該絶縁膜の反応生成物が付着することが無い。したがって、反応生成物によるアンダーフィル樹脂との密着性の減退

を防止することができ、チップとアセンブル基板との接続力を向上させることができる。

【図面の簡単な説明】

【図 1】 実施の形態 1 に係るチップ側の製造工程を説明するための断面図である。

【図 2】 実施の形態 1 に係るチップ側の製造工程を説明するための断面図である。

【図 3】 実施の形態 1 に係るチップ側の製造工程を説明するための断面図である。

【図 4】 実施の形態 1 に係るチップ側の製造工程を説明するための断面図である。

【図 5】 実施の形態 1 に係るチップ側の製造工程を説明するための断面図である。

【図 6】 実施の形態 1 に係るチップ側の製造工程を説明するための断面図である。

【図 7】 半導体チップの全体を示す断面図である。

【図 8】 フリップチップ実装方法を説明するための断面図である。

【図 9】 フリップチップ実装方法を説明するための断面図である。

【図 10】 実施の形態 1 に係るチップ側の製造工程を説明するための断面図である。

【図 11】 実施の形態 1 に係る変形例のチップ構造を示す断面図である。

【図 12】 実施の形態 2 に係るチップ側の製造工程を説明するための断面図である。

【図 13】 実施の形態 2 に係るチップ側の製造工程を説明するための断面図である。

【図 14】 実施の形態 2 に係るチップ側の製造工程を説明するための断面図である。

【図 15】 実施の形態 2 に係るチップ側の製造工程を説明するための断面図である。

【図 1 6】 実施の形態 2 に係るチップ側の製造工程を説明するための断面図である。

【図 1 7】 実施の形態 2 に係るチップ側の製造工程を説明するための断面図である。

【図 1 8】 実施の形態 3 に係るチップ側の製造工程を説明するための断面図である。

【図 1 9】 実施の形態 3 に係るチップ側の製造工程を説明するための断面図である。

【図 2 0】 実施の形態 3 に係るチップ側の製造工程を説明するための断面図である。

【図 2 1】 実施の形態 3 に係るチップ側の製造工程を説明するための断面図である。

【図 2 2】 実施の形態 4 に係るチップ側の製造工程を説明するための断面図である。

【図 2 3】 実施の形態 4 に係るチップ側の製造工程を説明するための断面図である。

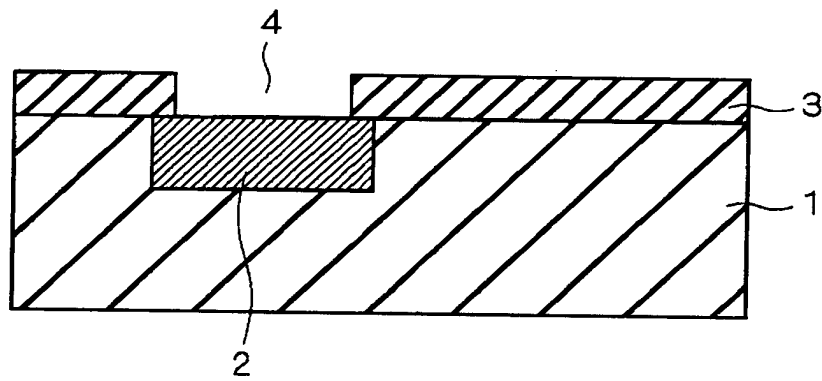
【図 2 4】 実施の形態 4 に係るチップ側の製造工程を説明するための断面図である。

【符号の説明】

1 層間絶縁膜、2 銅配線、3 絶縁膜、4 凹部、5 パッド部、6 ヒューズ部、7 パッシベーション膜（絶縁膜）、8, 21, 22, 25, 31, 41 レジスト、9, 10, 12, 13, 20, 23, 24, 26, 27, 32～36, 42, 43 開口部、11 ポリイミド膜、14 半田バンプ、15 半導体チップ（チップ）、16 アセンブル基板、17 アンダーフィル樹脂、7a 酸化膜、7b 窒化膜。

【書類名】 図面

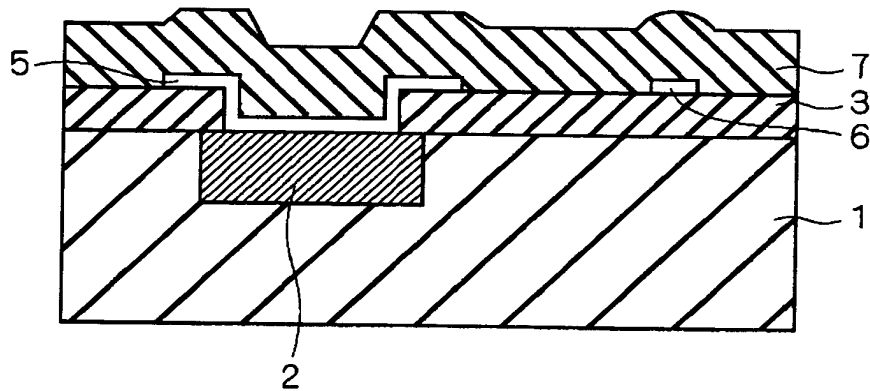
【図 1】



1 : 層間絶縁膜  
2 : 銅配線

3 : 絶縁膜  
4 : 凹部

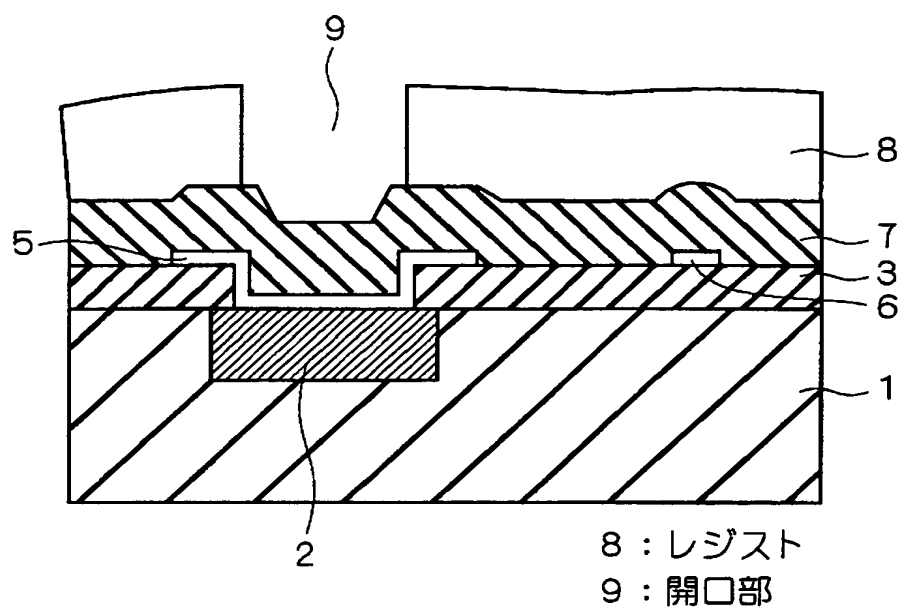
【図 2】



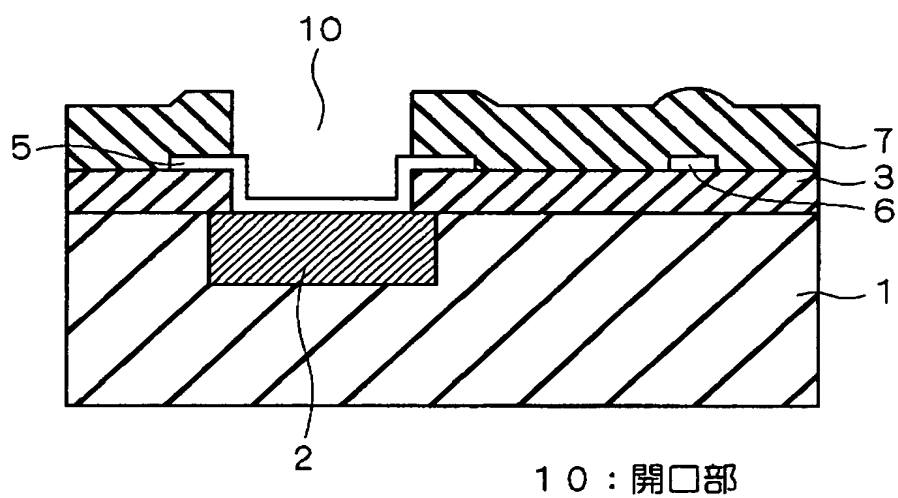
5 : パッド部  
6 : ヒューズ部

7 : パッシベーション膜 (絶縁膜)

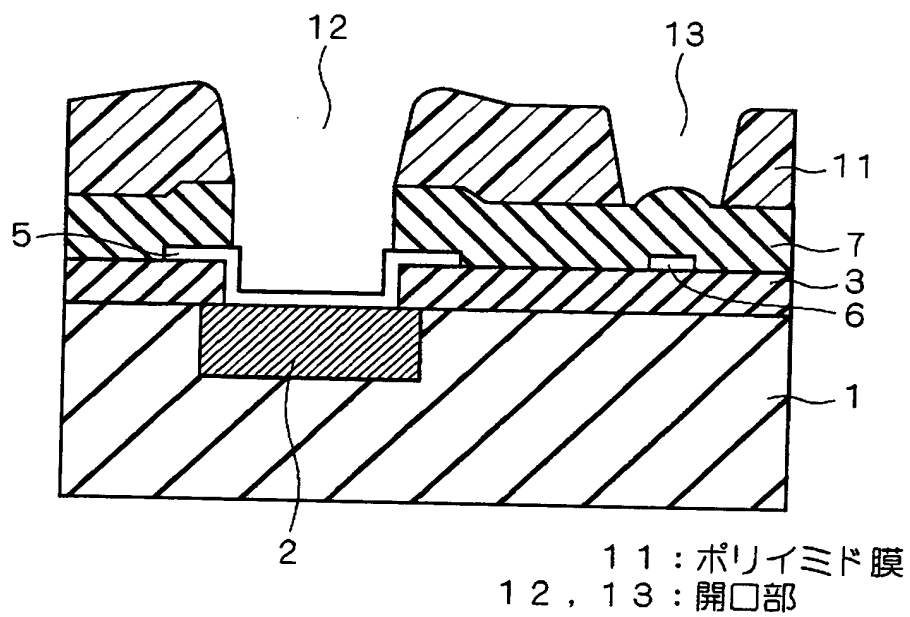
【図 3】



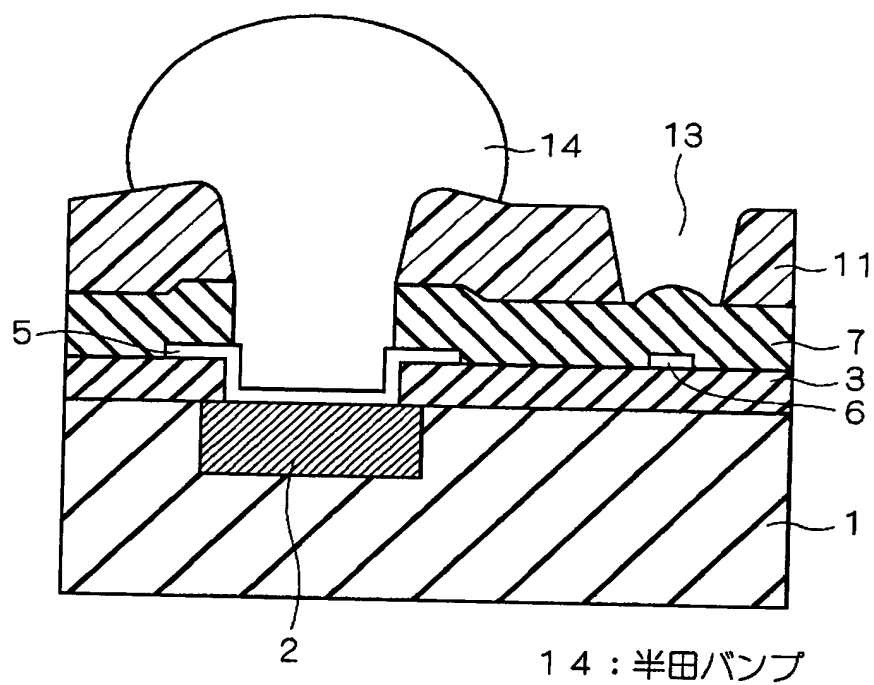
【図 4】



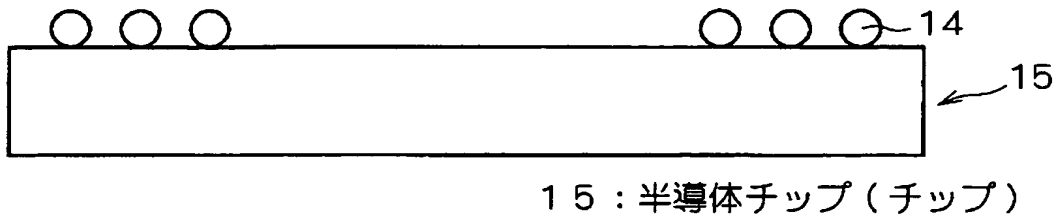
【図 5】



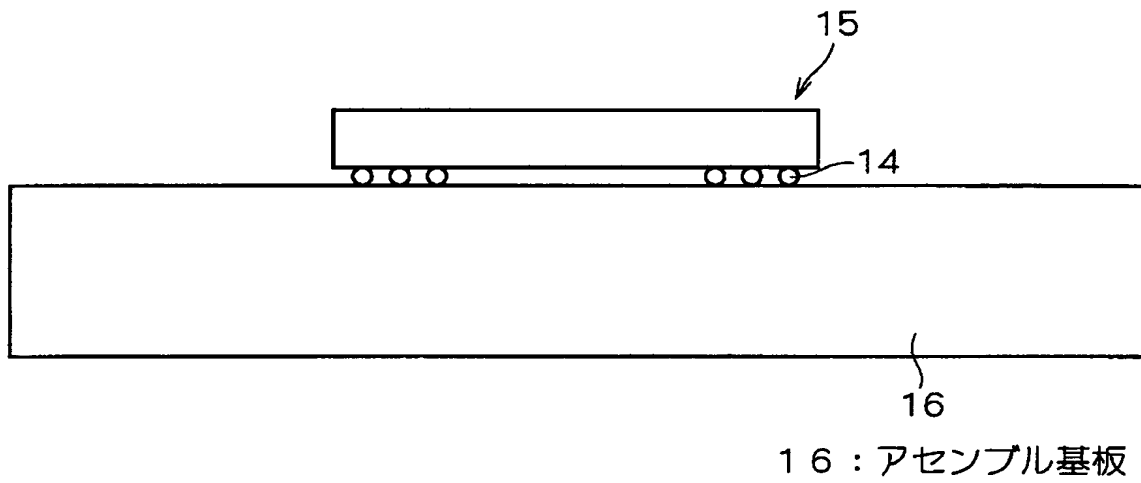
【図 6】



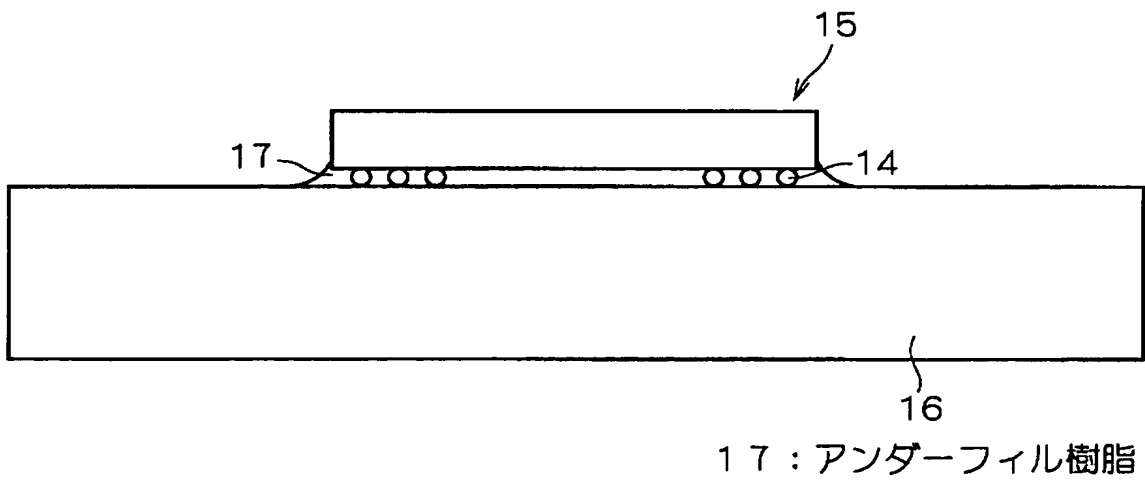
【図 7】



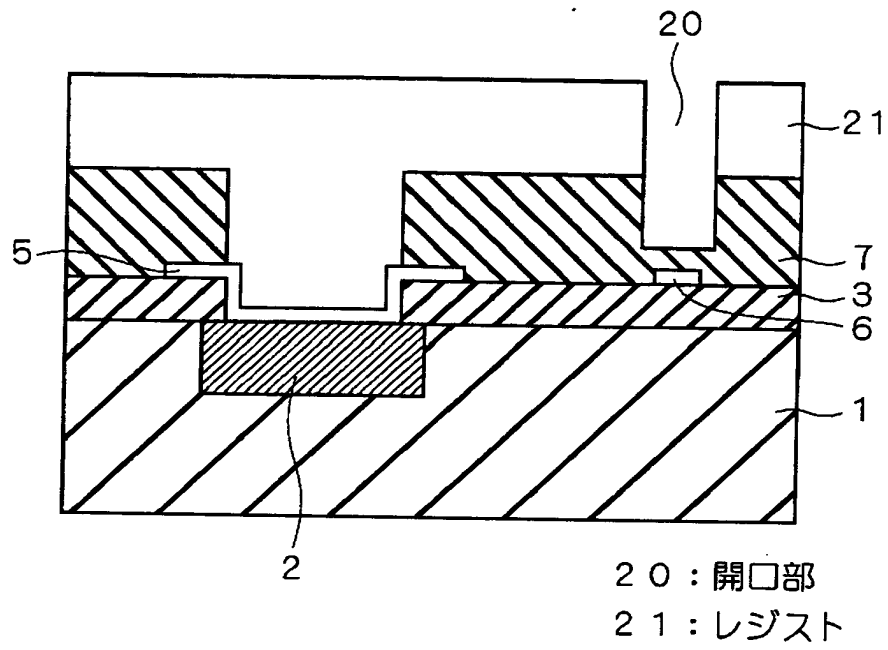
【図 8】



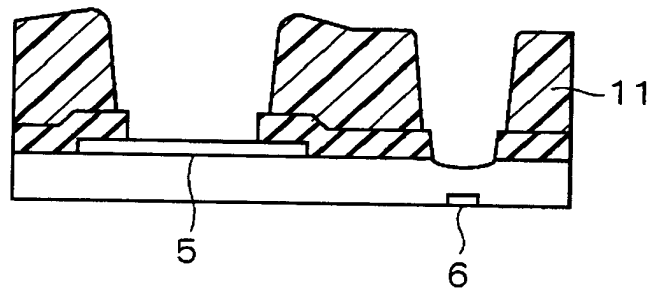
【図 9】



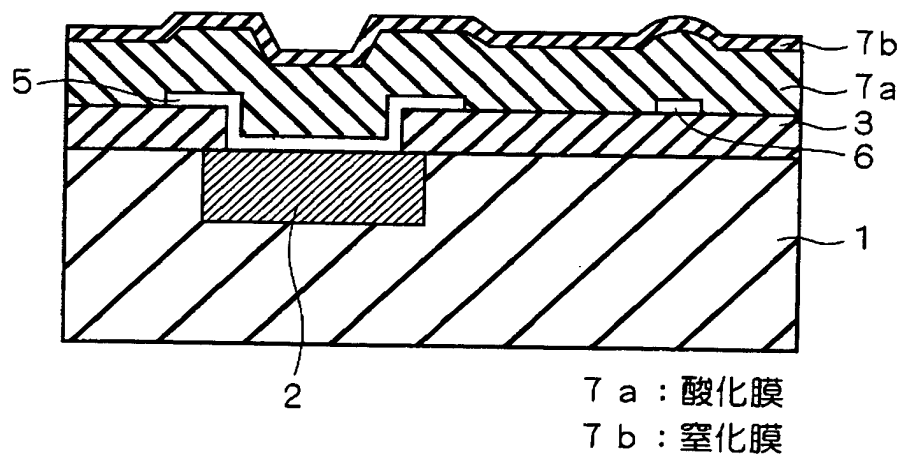
【図 1 0】



【図 1 1】

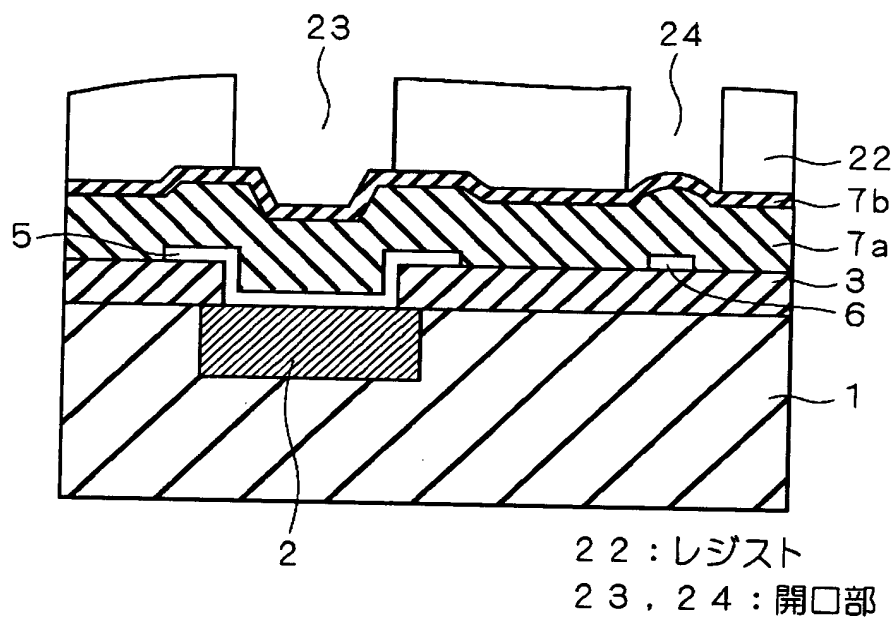


【図 1 2】

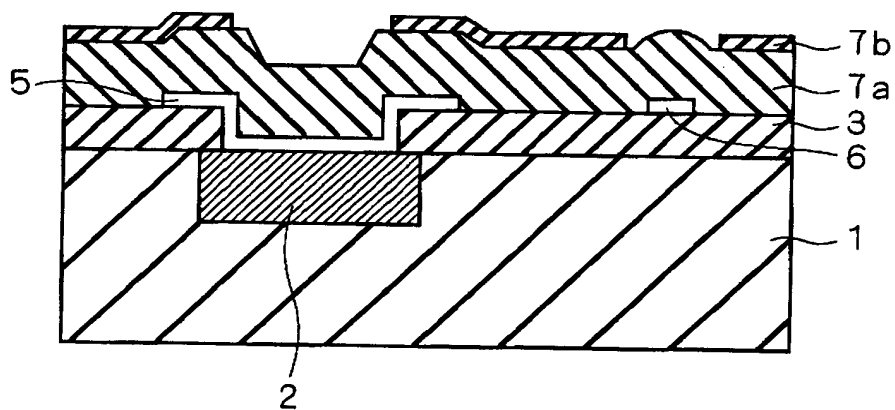




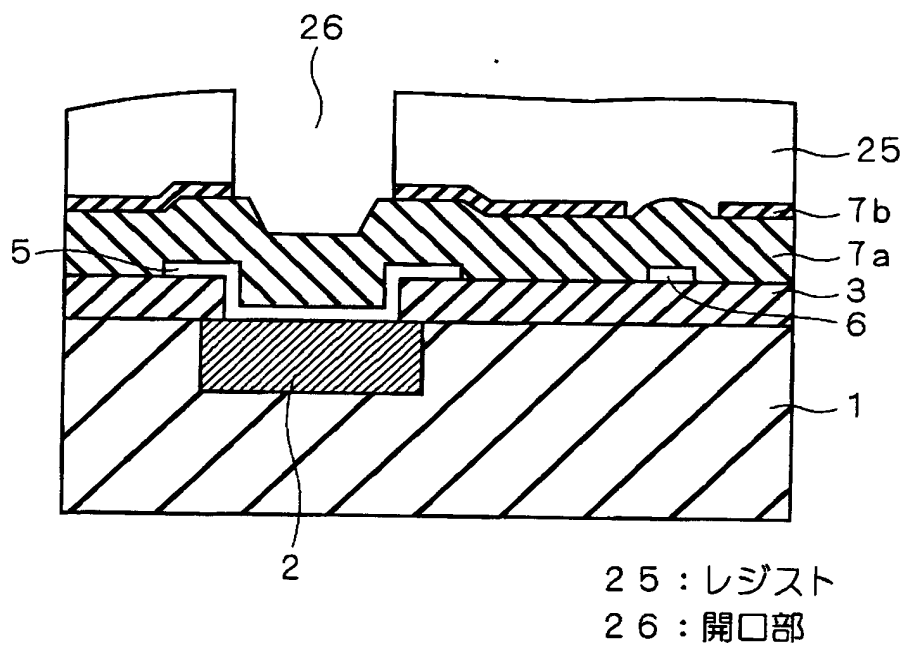
【図 1 3】



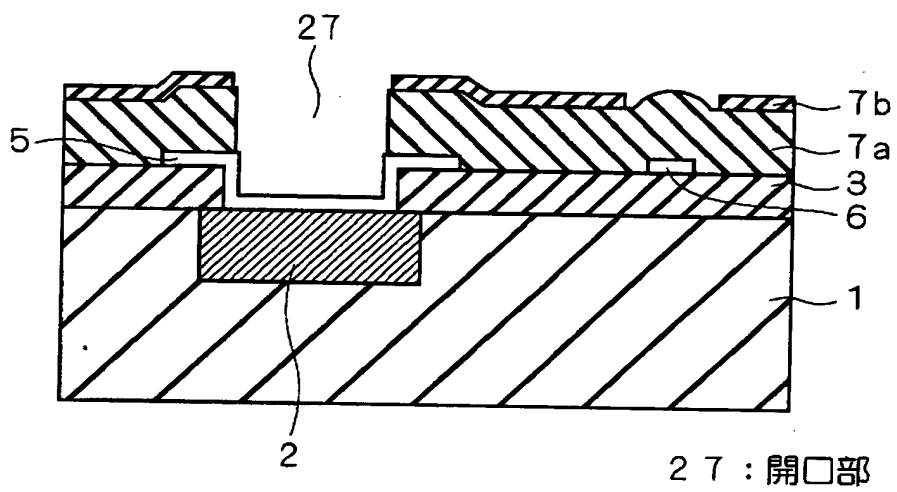
【図 1 4】



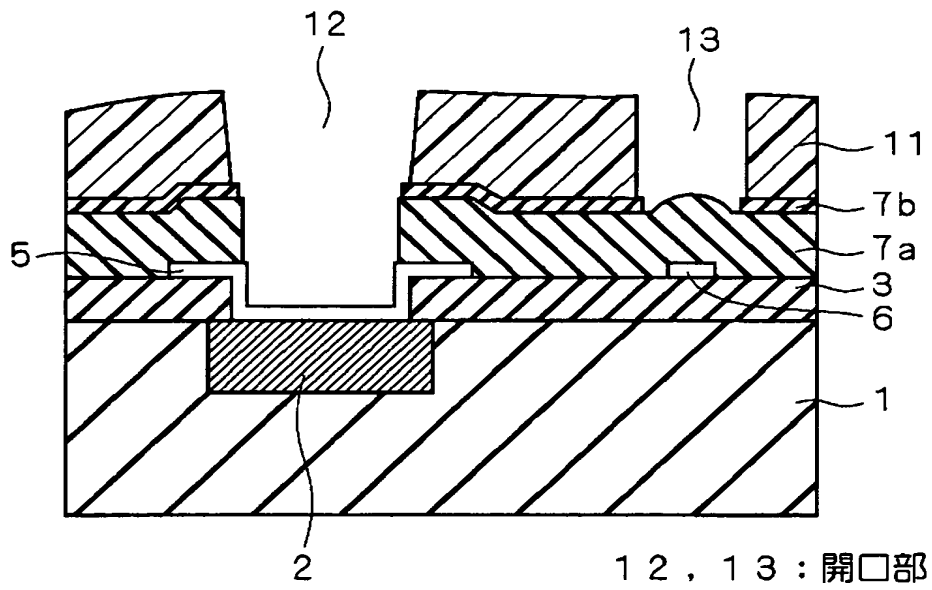
【図 1 5】



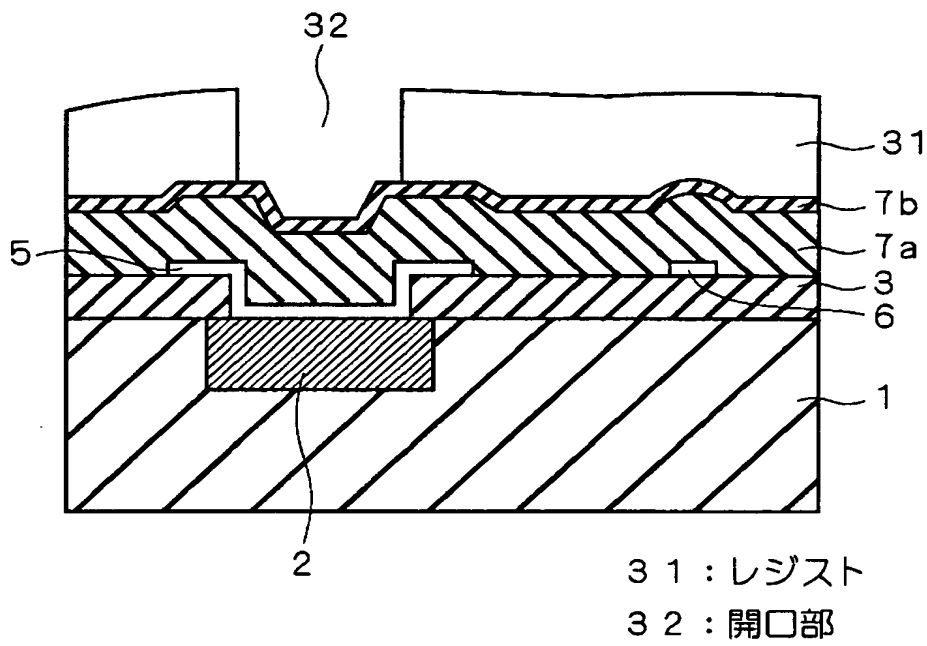
【図 1 6】



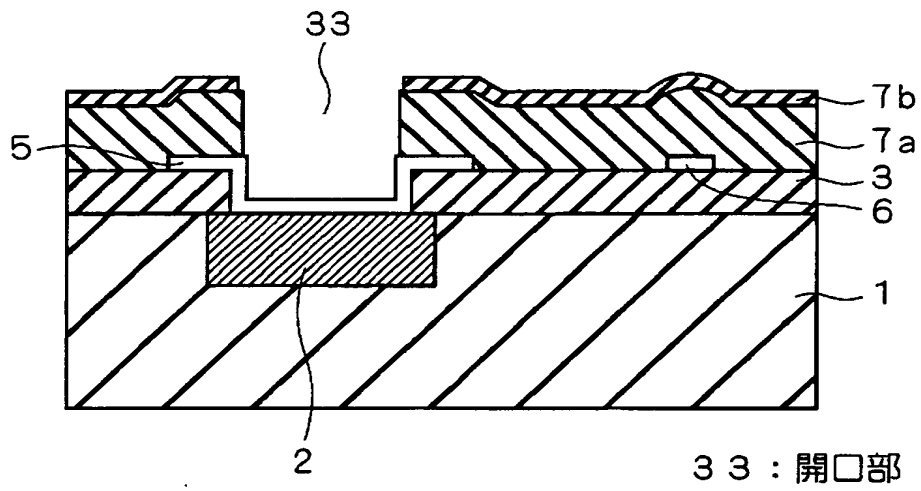
【図 1 7】



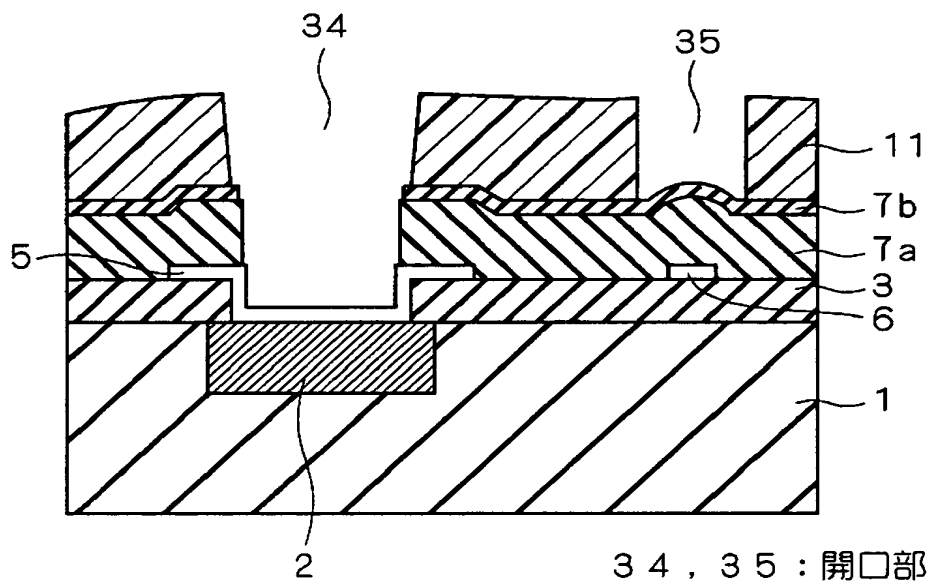
【図 1 8】



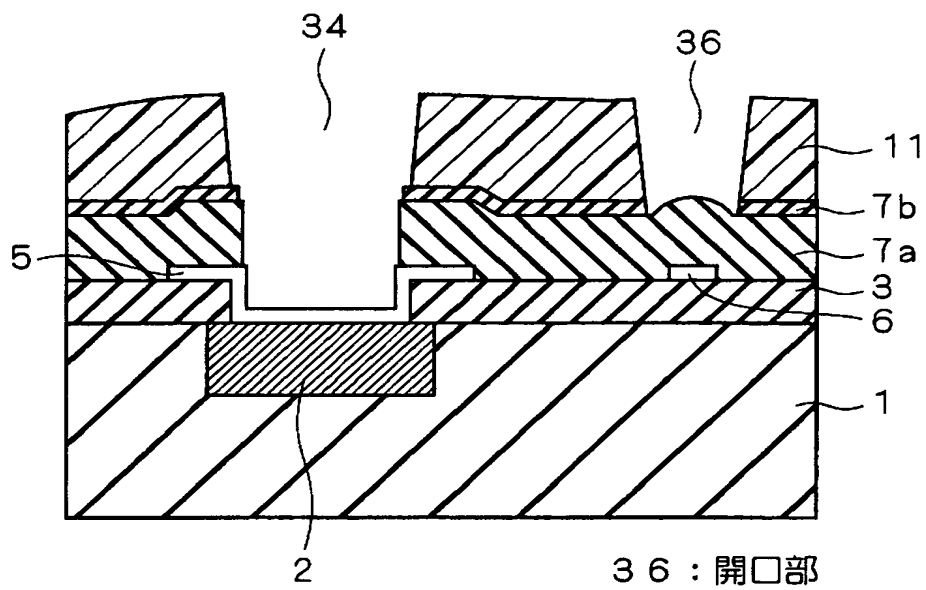
【図 1 9】



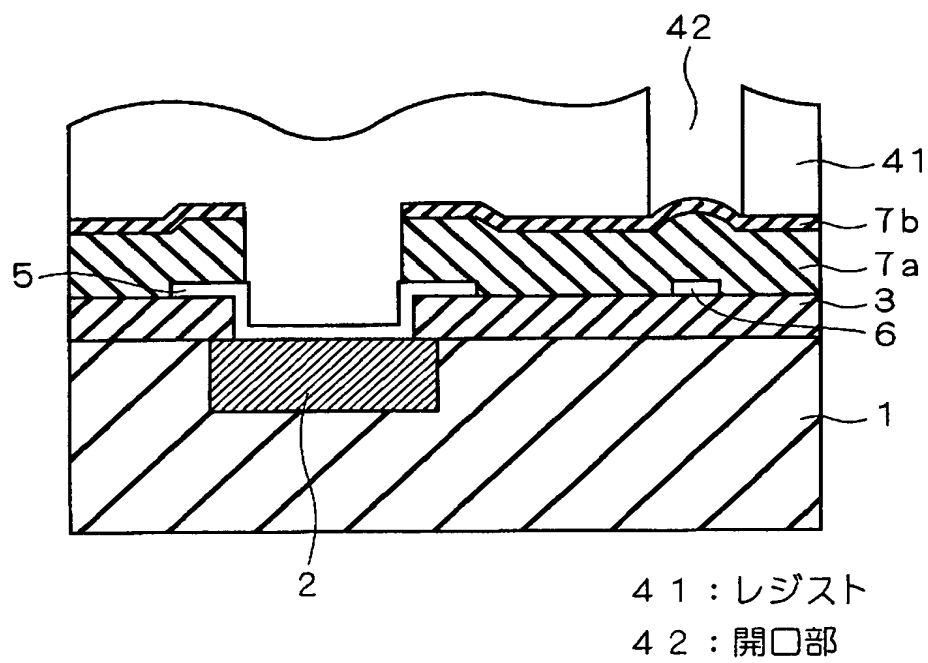
【図 2 0】



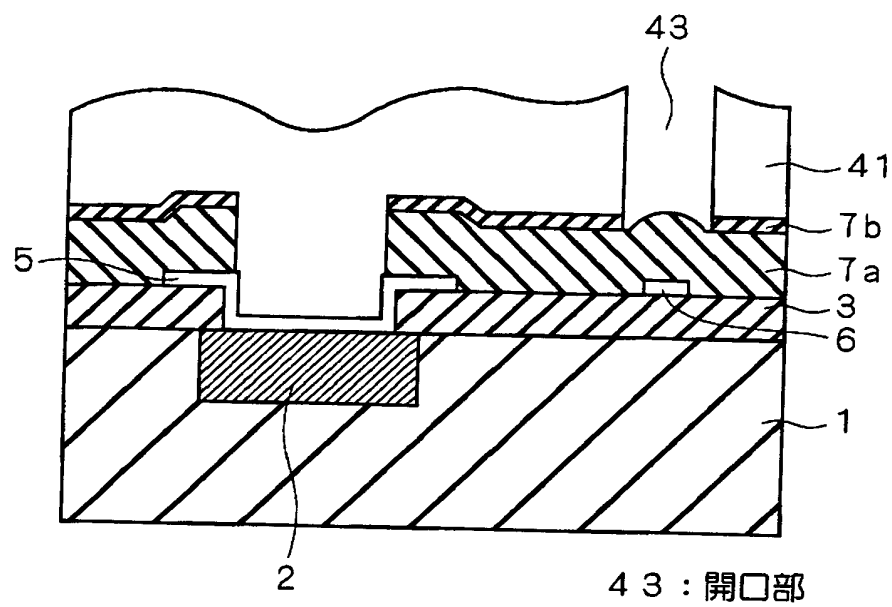
【図 2 1】



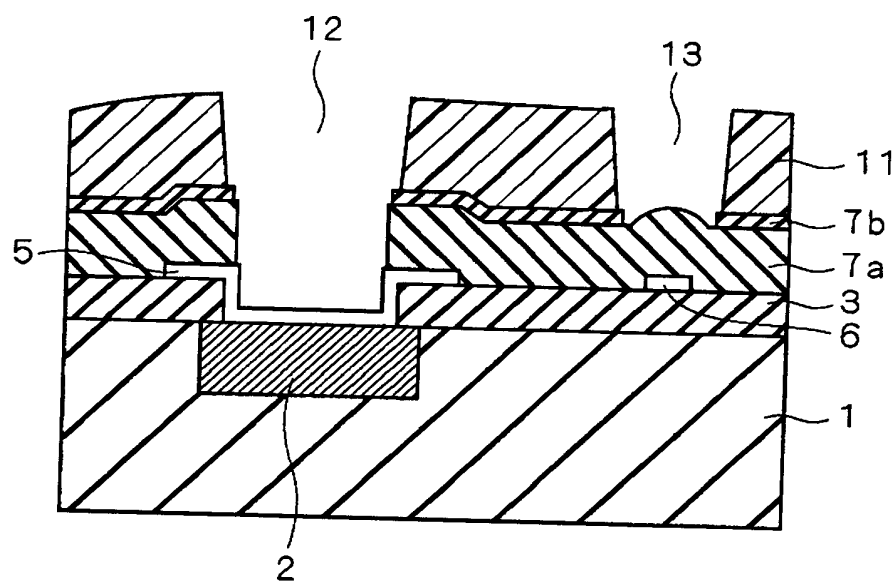
【図 2 2】



【图 23】



【图 24】



【書類名】 要約書

【要約】

【課題】 この発明は、アンダーフィル樹脂を用いたフリップチップ実装方法により、半導体チップとアセンブル基板とを接続したときに、容易に両者が剥がれることの無い、フリップチップ実装方法を提供することを目的とする。

【解決手段】 パッシベーション膜 7 で覆われているパッド部 5 を有する半導体チップ 1 5 を用意し、パッド部 5 上のパッシベーション膜 7 を除去することにより、パッド部 5 を露出させる。次に、パッド部 5 が露出するような開口部 1 2 を有するポリイミド膜 1 3 を、パッシベーション膜 7 上に形成する。その後、半田バンプ 1 4 をパッド部 5 上に形成し、アセンブル基板 1 6 と半導体チップ 1 5 との間にアンダーフィル樹脂 1 7 を充填し、アセンブル基板 1 6 と半導体チップ 1 5 とを半田バンプ 1 4 を介して接続する。

【選択図】 図 4



出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日  
[変更理由] 新規登録  
住 所 東京都千代田区丸の内二丁目4番1号  
氏 名 株式会社ルネサステクノロジ